

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-052535

(43)Date of publication of application : 22.02.1990

(51)Int.Cl.

H04B 10/16

H04B 10/00

H04L 25/52

(21)Application number : 63-204156

(71)Applicant : FUJITSU LTD

(22)Date of filing : 17.08.1988

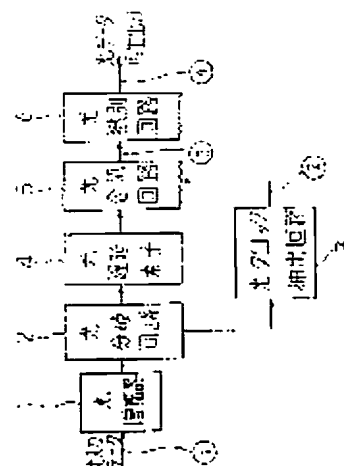
(72)Inventor : FUJIMOTO NOBUHIRO

(54) FULL OPTICAL PROCESSING REPEATER

(57)Abstract:

PURPOSE: To quicken the signal processing with simple constitution by providing an optical amplifier, an optical branch circuit, an optical clock extraction circuit, a optical confluencing circuit and an optical identification circuit and using them so as to process the 3R functions as the repeater at an optical level.

CONSTITUTION: An optical input data signal is waveform-shaped by an optical amplifier 1 an branched into two at an optical branch circuit 2. On the other hand, one branch optical data signal is subject to optical clock signal extraction by an optical clock extraction circuit 3 to apply retiming. Furthermore, the other branched optical data signal is retarded so as to match the phase of the circuit 3 at the optical delay element 4. Then the output from the circuits 3, 4 is confluenced by the optical confluencing circuit 5 and identified at a prescribed optical threshold level by an optical identification circuits 6 and the optical data is reproduced. Then the 3R functions such as waveform shaping, retiming and repeater for identification and reproduction are processed entirely by the optical level in this way, then the signal processing is quickened with simple constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-52535

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月22日

H 04 B 10/16

10/00

H 04 L 25/52

A 7345-5K
8523-5K
8523-5K

H 04 B 9/00

J
B

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 全光処理中継装置

⑯ 特 願 昭63-204156

⑰ 出 願 昭63(1988)8月17日

⑱ 発 明 者 藤 本 暢 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 茂 泉 修 司

明 細 書

3. 発明の詳細な説明

(概 要)

1. 発明の名称 全光処理中継装置

全て光レベルで入力光信号の光中継処理を行う
全光処理中継装置に関し、

2. 特許請求の範囲

光入力データ信号を増幅する光増幅器(1)と、
該光増幅器(1)の光出力を2分岐する光分岐回路
(2)と、

光の特徴である高速性、二次元処理の可能性、
波長領域処理の可能性等を活かして光レベルで直
接信号処理を行うことができる光アクセスノード
としての全光処理中継装置を実現することを目的
とし、

該光分岐回路(2)の一方の分岐光データ信号から
光クロック信号を抽出する光クロック抽出回路(3)
と、

光入力データ信号を増幅する光増幅器と、該光
増幅器の光出力を2分岐する光分岐回路と、該光
分岐回路の一方の分岐光データ信号から光クロッ
ク信号を抽出する光クロック抽出回路と、該光分
岐回路の他方の分岐光データ信号を該光クロック
抽出回路の位相に合わせるための光遅延素子と、
該光クロック信号と該光遅延回路の光データ出力
とを合流する光合流回路と、該光合流回路の出力
を光閾値により識別して光データを再生する光識
別回路とで構成する。

該光分岐回路(2)の他方の分岐光データ信号を該
光クロック抽出回路(3)の位相に合わせるための光
遅延素子(4)と、

該光クロック信号と該光遅延回路(4)の光データ
出力とを合流する光合流回路(5)と、

該光合流回路(5)の出力を光閾値により識別して
光データを再生する光識別回路(6)と、

を備えたことを特徴とする全光処理中継装置。

〔産業上の利用分野〕

本発明は、全光処理中継装置に関し、特に全て光レベルで入力光信号の光中継処理を行う全光処理中継装置に関するものである。

伝送ビットレートの上昇に伴い、高速信号の多数処理が必要となって来ている現在、中継装置における信号処理の高速化・複雑化を緩和することが望まれている。

〔従来の技術〕

従来、中継装置で光中継信号処理を行う場合、入力して来た光信号を一旦電氣に変換してから電氣的な処理を行い、最後に光信号に変換して再生し伝送路である光ファイバに出力していた。

〔発明が解決しようとする課題〕

しかしながら、このような従来の装置では、広帯域SDNが成熟期を迎えた場合、所要処理数が増大することから、このままでは回路規模の点から電氣的な処理だけでは対処し切れなく

〔作 用〕

第1図に示した本発明の全光処理中継装置では、第2図のタイムチャートに示すように、光入力データ信号①を光増幅器1で増幅することにより等化を行う。この光増幅器1は第3図に示すような光増幅特性を持つものである。

光増幅器1で波形整形された光出力は光分岐回路2で2分岐され、一方の分岐光データ信号は光クロック抽出回路3に送られて光クロック信号②が抽出され、リタイミング動作が行われる。

光分岐回路2の他方の分岐光データ信号は光遅延素子4に送られて光クロック抽出回路3の位相に合うように所定の遅延時間が与えられる。

これら光クロック抽出回路3からの光クロック信号と光遅延素子4からの光データ出力とが光合流回路5で合流される。

光合流回路5の光合流出力③を光識別回路6で一定の光閾値 P_{th} により識別して光データ④を再生する。

このようにして波形整形(Reshaping)、リタイ

なることか予想される。

従って、本発明は、光の特徴である高速性、二次元処理の可能性、波長領域処理の可能性等を活かして光レベルで直接信号処理を行うことができる光アクセスノードとしての全光処理中継装置を実現することを目的とする。

〔課題を解決するための手段〕

上記の目的を達成するため、本発明に係る全光処理中継装置では、第1図に原理的に示すように、光入力データ信号を増幅する光増幅器1と、該光増幅器1の光出力を2分岐する光分岐回路2と、該光分岐回路2の一方の分岐光データ信号から光クロック信号を抽出する光クロック抽出回路3と、該光分岐回路2の他方の分岐光データ信号を該光クロック抽出回路3の位相に合わせるための光遅延素子4と、該光クロック信号と該光遅延回路4の光データ出力とを合流する光合流回路5と、該光合流回路5の出力を光閾値により識別して光データを再生する光識別回路6とを備えている。

ミング(Retiming)、及び識別再生(Regenerating)の再生中継の3R機能を全て光レベルで行うことができる。

〔実施例〕

第1図に示した本発明の全光処理中継装置を構成する光増幅器1としては、レーザ増幅器やタンデム電極式の光双安定レーザ増幅器(BS-LD)を用いることができる。

第4図は、光双安定レーザによる光増幅器の一実施例を示しており、この光増幅器では、光双安定レーザ20のタンデム電極に所定閾値以上のバイアス電流 I_{th} が供給されており、光入力データ P_{in} を増幅して光出力データ P_{out} として発生するものである。

即ち、光双安定レーザは、第5図(a)に示すように、光入力 $P_{in} = 0$ の状態において、①バイアス電流入力 I_{th} を増大させて行くと第1の閾値 I_{th1} を越えた時に急激に光出力 P_{out} が大きくなって発光し、②該電流入力 I_{th} を低下させて行くと第

2の閾値 I_{orr} 以下になる時に急激に光出力 P_{oor} が減少して発光を停止する特性を有している。

また、光双安定レーザは、第5図(b)に示すように、第1の閾値 I_{on} と第2の閾値 I_{orr} との間に位置する値に相当する電流入力 I をバイアスとして供給した場合には、①光入力 P_{in} を増大させて行くと光閾値 P_{in} を超えた時に急激に光出力 P_{oor} が増大して発光し、②光入力 P_{in} を低下させて行く時には光入力 P_{in} が“0”になるまで発光を続ける特性を持っている。

このような光双安定レーザの特性に基づき、第4図に示すバイアス電流 I を適当に加減(閾値 I_{orr} 、 I_{on} の範囲に限定されない)することにより、第3図に示すような、光入力 P_{in} のレベルに応じて光出力 P_{oor} が増幅される光入出力特性が得られる。

第6図は、本発明に係る全光処理中継装置に用いる光クロック抽出回路の一実施例を示したもので、この実施例では、RZ(Return-to-Zero)の光入力データを透過・反射するハーフミラー1と、

す。

このハーフミラー13で反射された光信号④は今度は逆のルートを通って遅延時間 τ 、経過後に光増幅器12に入力されて光増幅され、更に遅延時間 τ 、経過後にハーフミラー11に達して反射され、遅延時間 τ 、経過後に光増幅器12に入力され、更に遅延時間 τ 、経過後にハーフミラー13に戻って来る。このようにして、光共振器として作用する。

従って、ハーフミラー13で反射されて再び戻って来るまでには丁度 4τ の遅延時間が生じることとなるため、第7図に示すように、光入力データの受信開始直後では、この 4τ の遅延時間により正しい光クロック信号④は発生されないが、その後は確実に正しい光クロック信号④が繰り返し発生されることとなる。

尚、ハーフミラー13で反射されて戻って来る時には後続の光入力データ①もハーフミラー13に同時に入力され、両者が重畳する形になるが、光増幅器12の増幅動作が飽和することと、ハ-

ーフミラー11を透過した該光入力データを増幅する光増幅器12と、光増幅器12の光出力を透過して光クロック出力を発生するとともに光増幅器12に反射するハーフミラー13とを備え、ハーフミラー11、13と光増幅器12との間の到達遅延時間が該光入力データの1タイムスロット τ 。(又はその整数倍)に相当するように構成している。

この光クロック抽出回路の動作を説明すると、第7図のタイムチャートに示すように、RZの光入力データ①はまずハーフミラー11を透過し、この光入力データ①の1タイムスロット τ に相当する遅延時間だけ経過した後に光増幅器12に入力される。

この光増幅器12はやはり第3図に示すような光入出力特性を有するものであり、光信号②を光増幅する。この光増幅された光増幅器12の光出力は同じ遅延時間 τ 、経過後に光入力③としてハーフミラー13に達し、透過して光クロック出力④を発生するとともに光増幅器12に反射して戻

フミラー13で透過される光信号クロック④はレベルが低下することにより第7図のような一定レベルの光出力を発生することができる。

この場合、ハーフミラー11、13と光増幅器12との間は空間又は光ファイバ、光導波路のいずれでもよく、それぞれ1タイムスロット τ の整数倍の遅延時間を生成するための距離だけ間隔を有している。

別の光クロック抽出回路3としては、第8図に示すように、光合流回路21と、光増幅器22と、光分岐回路23とで構成し、光合流回路21から出力された時点より、光分岐回路23から光導波路24を経由しての光合流回路21へ戻るまでの遅延時間を光データの1タイムスロット τ の整数倍に設定してもよい。

この他、本発明に係る全光処理中継装置に用いる光識別回路6の一実施例としては、やはり第4図に示した光双安定レーザ20を用いることができ、この場合には、バイアス電流 I を第5図(a)に示す電流閾値 I_{orr} と I_{on} との間に設定するこ

とにより、入力光データのレベルが、第5図(b)に示す光閾値 P_{th} を越えているか否かによって光識別再生をすることができる。

また、光分岐回路2、光合流回路5としては光カプラ、導波路型光スイッチ等を用いることができ、更に光遅延素子4としては、導波路型位相シフトを用いることができる。

また、各構成要素を光接続ため、光導波路が用いられる。

〔発明の効果〕

このように、本発明の全光処理中継装置によれば、光増幅器、光分岐回路、光クロック抽出回路、光合流回路、及び光識別回路を用いて中継器としての3R機能を全て光レベルで処理する構成としたので、光伝送装置等における信号処理を高速に行うことができ、より簡単な構造の全光処理中継装置が実現できる。

4…光遅延素子、

5…光合流回路、

6…光識別回路。

図中、同一符号は同一又は相当部分を示す。

代理人 弁理士 茂 泉 修 司

4. 図面の簡単な説明

第1図は本発明に係る全光処理中継装置を原理的に示すブロック図、

第2図は本発明に係る全光処理中継装置の各部の動作波形を示すタイムチャート図、

第3図は本発明に用いる光増幅器の動作特性を示すグラフ図、

第4図は光増幅器の一実施例としての光双安定レーザを示す図、

第5図は光双安定レーザの特性図、

第6図は光クロック抽出回路の一実施例を示すブロック図、

第7図は光クロック抽出回路の動作タイムチャート図、

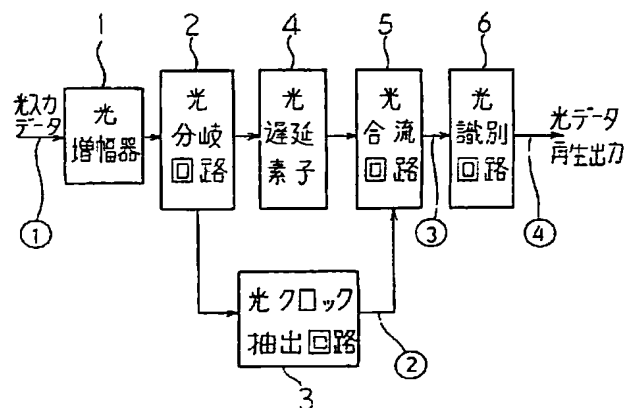
第8図は光クロック抽出回路の他の実施例を示すブロック図、である。

第1図において、

1…光増幅器、

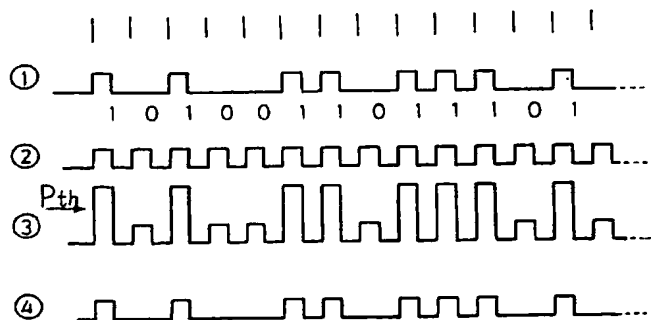
2…光分岐回路、

3…光クロック抽出回路、

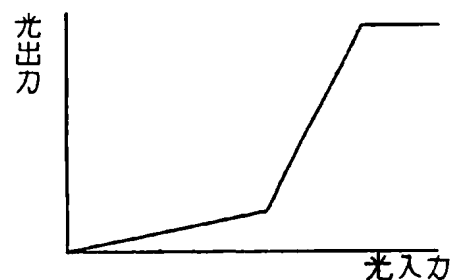


本発明の原理図

第1図

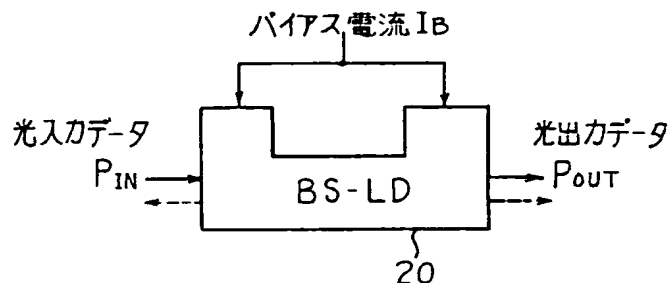


本発明の動作タイムチャート
第 2 図



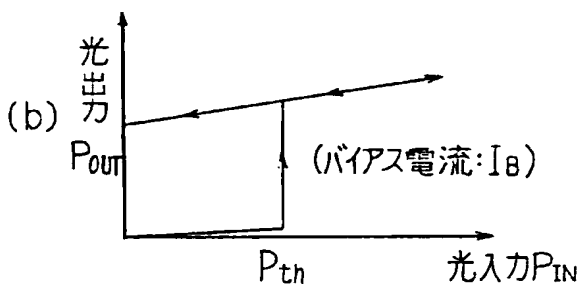
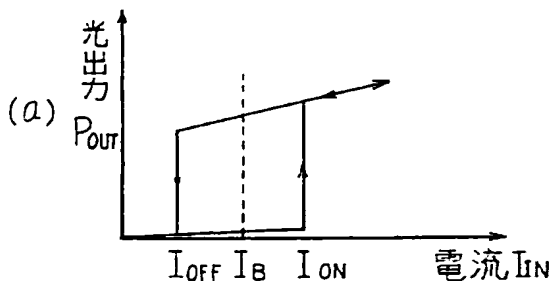
光増幅器の光入出力特性

第 3 図



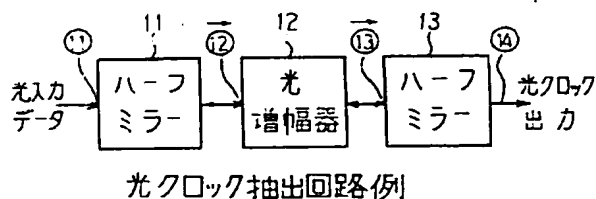
光双安定レーザ

第 4 図



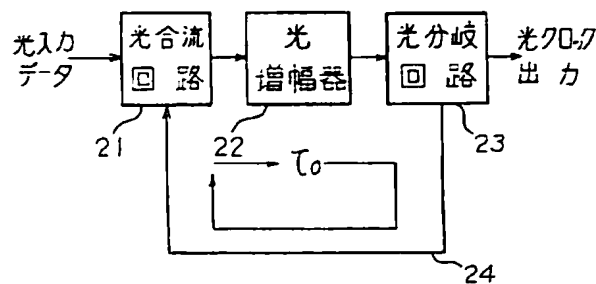
光双安定レーザの特性図

第 5 図



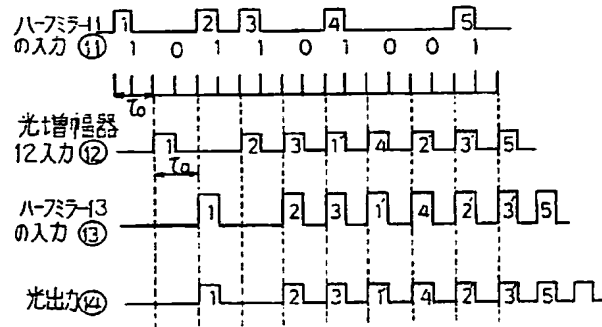
光クロック抽出回路例

第 6 図



光クロック抽出回路例

第 8 図



光クロック抽出のタイムチャート

第 7 図